

Systemes Avancés M2 2015

Gestion Mémoire

Exercice N°3 1

- ! "e# est #intervalle %\$a%resses &"\$"n 'rocess"s
'e"t tenter %\$attein%re(
- ! "e##e est/sont #es intervalles %\$a%resses
)va#i%es* &"\$"n 'rocess"s 'e"t attein%re(
- ! "e se 'asse+t+i# s\$i# essaye %\$accé%er , %\$a"tres
a%resses(
- -n 'rocess"s 'e"t+i# e..ect"er n\$im'orte &"e##e
o' ération s"r "ne a%resse va#i%e(

Exercice N°3 1)s"ite*

- ! "e#s sont #es /esoins %\$" n ' rocess"s en terme %e 0estion)a##ocation / %é+a##ocation* mémoire(
- ! "e#s sont #es /esoins %" noya" en terme %e 0estion mémoire(
- A+t+on to"lo"rs /esoin %e services %e 0estion mémoire(
- ! "e##e tai##e %e mémoire ' 2ysi&"e ' e"t+on con.i0"rer s"r "ne mac2ine(

Es' ace A%ressa0e Process"s

- Allocation / 3i/ération %e 4ones mémoires ' o"r #e ' rocess"s
- 5i..érence entre
 - Allocation / #i/ération %\$" n intervalle %\$a%resses
 - Allocation / #i/ération %es ' a0es ' 2ysi&" es so"s+ 1acentes6

Exercice N° 3 2

- Les systèmes services & i
mo%ient #es' ace %\$a%ressa0e %\$ " n ' rocess"s(
- Les accès7 instr" ctions in.#" ent s" r
#a##ocation7 #a ' résidence7 #a %é+a##ocation %es
' a0es ' 2ysi&" es so" s+lacentes(

Accès et régions

- Région

- : intervalle de ressources contiennent avec des permissions
%\$accès)#lect"re/ #lect"re/écrit"re/ exéc"tion *

- Accès

brk

execve

_exit

fork

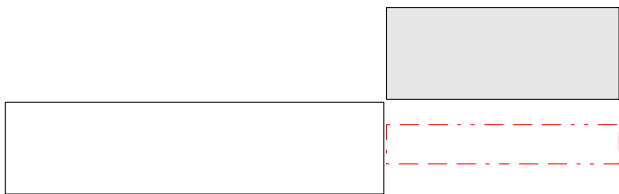
mmap, munmap

shmat, shmdt...

Opérations



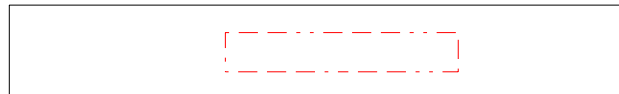
Ajout d'une région contiguë



Ajout d'une région contiguë
avec des droits différents



Réduction d'une région



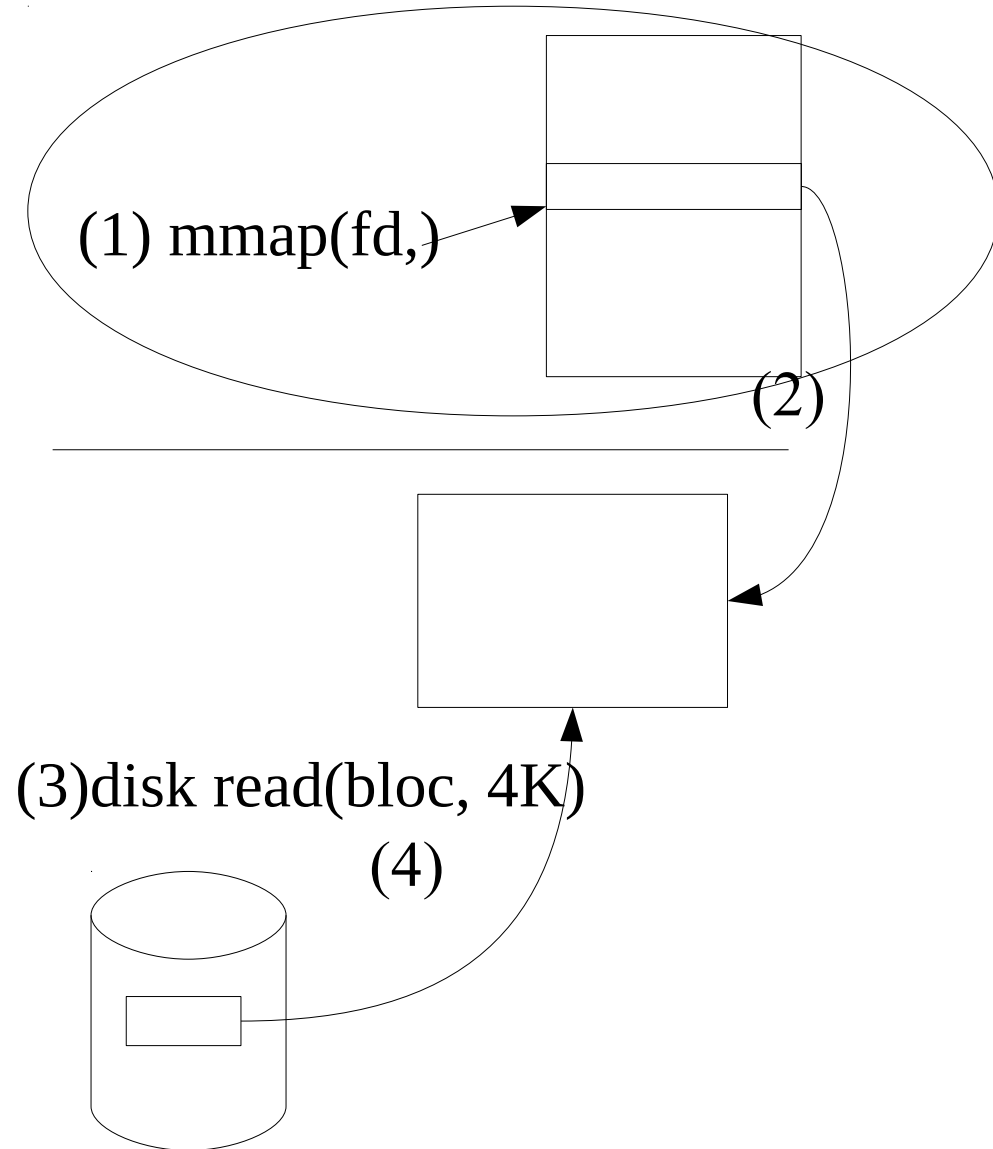
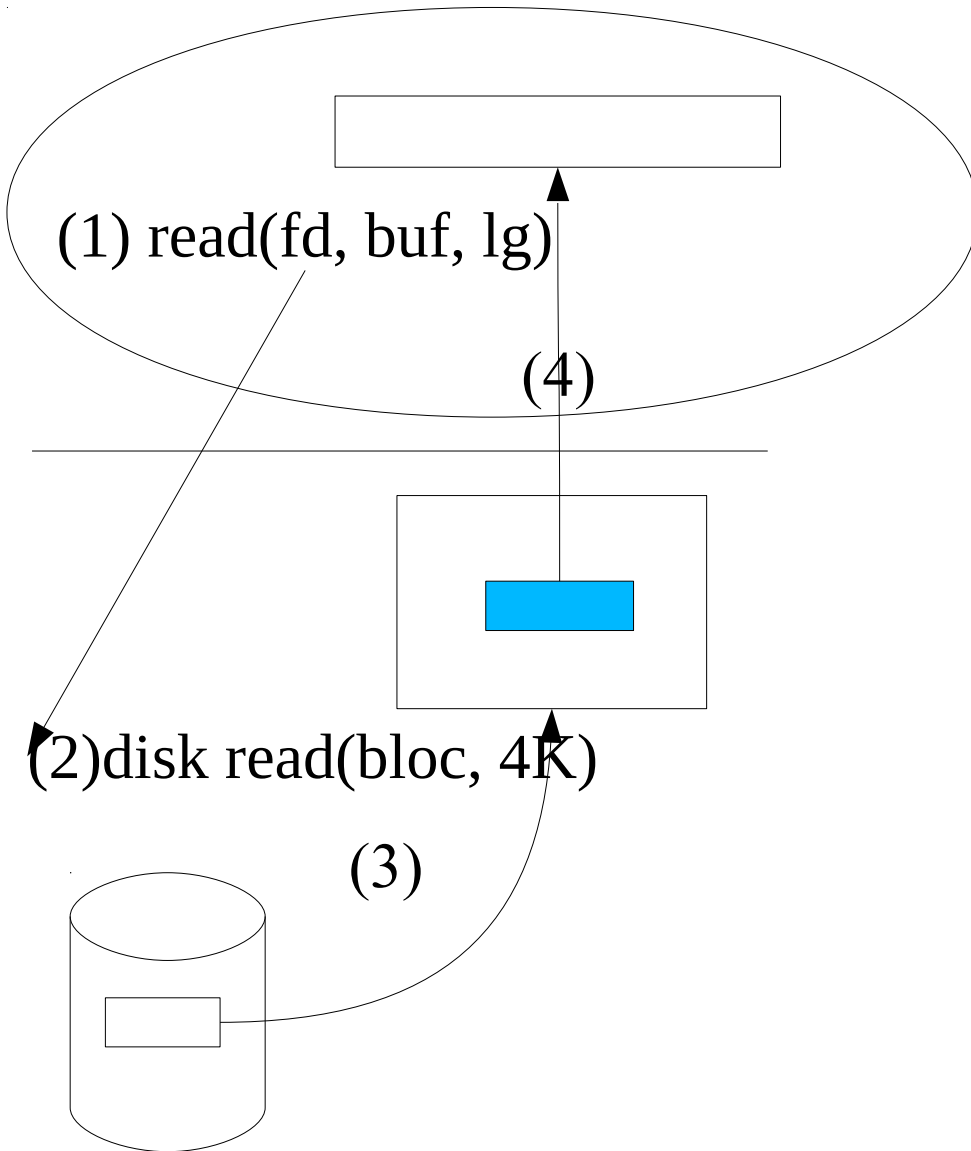
Une région => 2 régions



Memory ma'

- `void *mmap(void *addr, size_t length, int prot, int flags, int fd, off_t offset);`
- `<rée "ne ré0ion mémoire %e tai##e l ength ,
#$a%resse addr addr [! ' ermet %$accé%er a"
caractère %" .ic2ier fd &"i se tro"ve ; tre , #a
' osition of f set ' ar ra' ' ort a" %é/"t %" .ic2ier`
- `Si MAP=AN>N?M>-S @AB ma##oc`
- `Protection09 8EA5/D8:EE/EFE<`
- `G#a0s09 SHA8E5/P8:I AEE`

8ea% vs Memory ma'



Memory #ocJ

- `int mmap(void *addr, size_t length);`
 - L'erreur en mémoire #es ' a0es correspondantes
 - Ne force ' as #es ' a0es ' 2ysies , ; tre a##o"ées
 - Em' ; c2e #es ' a0es a##o"ées)maintenant o" ' #'s tar%*
%\$; tre KcsLa' ' ées o" tCM
- `m#ocJa##`
 - $M < 3 = < - 88ENE$
 - $M < 3 = G - E - 8E$
- ' #ocJ

ma#oc

- En réalité ' #'s com' #exe &" e # \$" ti#isation "s" e##e
 - I aria/#e % \$" n système , # \$a" treç6
 - < . 2tt' 9//' " /# / /o" # %er i/m com/in.ocenter/aix/vNr1/in%ex 1s' (to' icA
O2Gcom i/m aix 0en' ro0cO2G%ocO2G0en' ro0cO2Gsys=mem=a#oc 2tm
 - - ti#ise mma' ' o" r #es 0ran%s /#ocs
 - 8é%"it)o" ' as* #e tas si ' ossi/#eç6
 - KC<ac2eçM
 - >' tions %e KC%e/" OçM
- Mémoire 0arantie o" ' asç(

3in" x >>M

- <omment "ti#iser Kça" mie" xCM #a 8AMC(
 - Garantir &" e #a mémoire)virt" e##ement* a##o"ée sera e..ectivement %is' oni/#e &" an% on en a" ra /esoin
 - Mémoire KCréservéeCM m; me si ' as "ti#isée
 - AB ' #ace #i/re non "ti#isée
 - Gaire %" Kcs" r/ooJinOCM
 - Eant &" e #a mémoire)virt" e##ement* a##o"ée rée##ement "ti#isée est ' #'s ' etite &" e #a mémoire ' 2ysi&" e)' #'s sLa' évent"e#* AB Pas %e ' ro/#ème
 - Sinon AB on ' e"t se tro"ver , co"rt %e mémoire s"r "n %é.a"t %e ' a0e AB se0mentation .a"#t P s"r "ne a%resse va#i%eC69+)

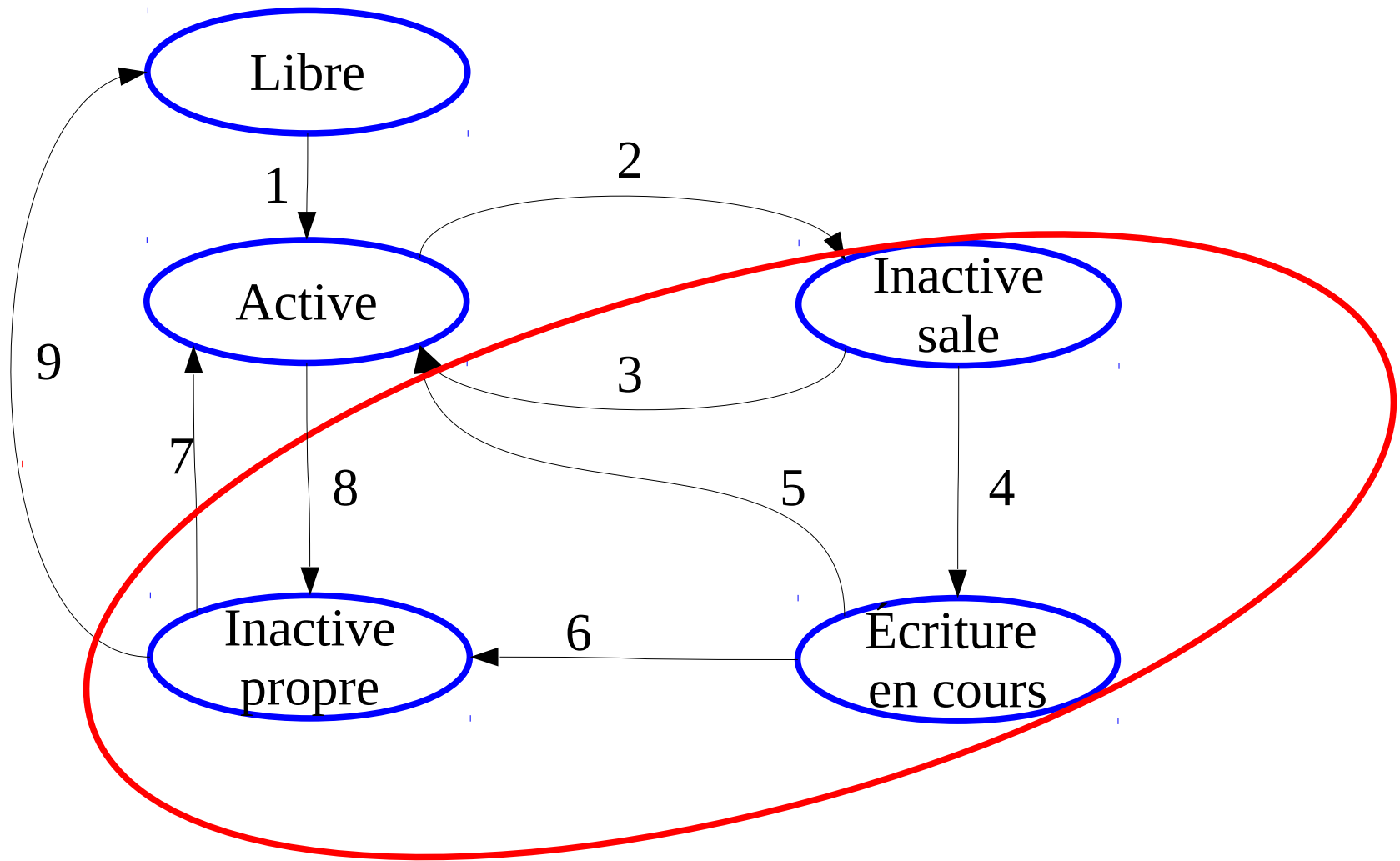
3in" x >>M

- /' roc/sys/vm/' anic=on=oom
 - Si , co"rt %e mémoire AB ' anic
- /' roc/sys/vm/oom=Ji##=a##ocatin0=tasJ
 - 0C9 examine to"s #es ' rocess"s
 - 1C9 t"e #e ' rocess"s &"i %éc#enc2e #e mécanisme
- /' roc/sys/vm/overcommit=memory
 - 0C9 véri.ication KC#axisteCM
 - 1C9 ' as %e véri.ication
 - 2C9 es' ace virt"e# @ SLa' Q)8AM R ratio/100*

3in" x > > M

- /' roc/sys/vm/overcommit=ratio
 - 8atio %e #a .orm"#e ' réce%ente
- /' roc/S' i%T/oom=score
- /' roc/S' i%T/oom=score=a%1

<yc#e %e vie %es ' a0es
' 2ysi&" es



Evolution des architectures

- 1ère Allocation des adresses : l'adresse est attribuée à une instruction et reste active tant que l'instruction est exécutée / écrite en mémoire
- 2ème Phase : l'adresse est attribuée à une instruction mais non active pendant un certain temps
- 3ème Phase : l'adresse est attribuée à une instruction et active pendant un certain temps avant d'être libérée
- 4ème Phase : l'adresse est attribuée à une instruction et active pendant un certain temps avant d'être libérée
- 5ème Phase : l'adresse est attribuée à une instruction et active pendant un certain temps avant d'être libérée

Transition des pages

- Les copies des mémoires et les pages ont été mises à jour ; les pages qui ont été récemment utilisées sont marquées comme telles
- Les pages qui ont été récemment utilisées sont marquées comme telles
- Les pages qui ont été récemment utilisées sont marquées comme telles
- Les pages qui ont été récemment utilisées sont marquées comme telles

• 8emise , 4éro

- utilisation des émulateurs

- Pour créer une mémoire virtuelle et la partager
 - Les variations suivant les versions
 - Jscan / /%.#s2
 - JsLa' % / J/#ocJ%

Les besoins du noyau

- Éviter les accès à des ressources partagées, en particulier les données partagées dans le tas *
- Éviter les accès à des ressources partagées par des structures de données du noyau (tas, structures de données des systèmes) *
- Accéder à un contenu des données à l'adresse .name*
 - Lecture / écriture d'instancer des données
 - Accéder aux processus existants
 - Permettre l'accès en 5MA à des éri 2éri&es
- Et les autres encore

5escri' te"r %e ' a0e

- <2a&" e ' a0e ' 2ysi&" e est re' résentée ' ar "n
%escri' te"r %e ' a0e7 m; me si e##e n\$est ' as
"ti#isée %ans "n es' ace %\$a%ressa0e
flags (locked, error, dirt", slab, ...)
_count compteur de r#f#rence
_mapcount nombre de \$%& r#f#ren'ant
private utilisation par le no"au
mapping (tile pour cache de pages, anon.
index (tilisations diverses
lru)ha*nage least recentl" used

Accès à l'adresse 2ysie

- Le noyau doit pouvoir accéder, toutes les adresses via son espace virtuel 1 GiOa6
- Si mémoire 2ysie est petite taille as /
- Si l'organisation mémoire 2ysie comment faire(
- Pas besoin de savoir accès, toutes les adresses en mémoire >".
- Par ailleurs certaines adresses mémoire /asse* sont des seules pouvant faire 5MA /s :SA

Accès à l'adresse physique

- Le noyau doit adresser les données de la mémoire virtuelle à l'adresse physique. Généralement, le noyau utilise une table de traduction (TLB) pour accélérer l'accès à l'adresse physique. Le noyau doit également gérer la taille de la mémoire virtuelle.
- À l'arrêt, le noyau doit libérer la mémoire virtuelle et la mémoire physique.
- Le noyau doit gérer la taille de la mémoire virtuelle et la mémoire physique. Le noyau doit également gérer la taille de la mémoire virtuelle et la mémoire physique.
- La mémoire virtuelle est gérée de la manière suivante :
 - Mémoire virtuelle à l'arrêt : le noyau doit libérer la mémoire virtuelle et la mémoire physique.
 - Mémoire virtuelle à l'exécution : le noyau doit gérer la taille de la mémoire virtuelle et la mémoire physique.
 - Mémoire virtuelle à l'arrêt : le noyau doit libérer la mémoire virtuelle et la mémoire physique.

Mémoire Non - ni.orme

- En Ystan%ar%Y7 3in" x 0ère #es mac2ines N-MA
- Notion %e Yn[" %sY)no%e* mémoire
- <2a&" e n["% %istin0" e trois ty' es %e 4ones
 - \>NE=5MA9 @ 1N MX ' o"r 5MA/:SA en ' riorité
 - \>NE=N>8MA3 @ VWN MX
 - \>NE=H:GH B VWNMX
- 3es a##ocations mémoire ' e"vent tenir com' te %e ces 4ones

Poo# 8éservé

- Allocation mémoire
 - Si 'a0es #i/res7 >]
 - Sinon7 #i/érer %es ' a0es7 atten%re #a .in %e #i/ération7
reto"rner "ne %es ' a0e)s* #i/érée)s*
 - Pe"t nécessiter "ne attente /#o&" ante
 - Sans certains cas7 on ne ' e"t ' as /#o&"er #e c2emin
%\$exéc"tion en co"rs %ans #e noya")traitement
%\$interr" ' tion*
 - Allocation Yatomi&"eY GGP=AE>M:< ne /#o&"e 1amais
 - - ti#ise %es ' a0es YréservéesY)entre 12V]/ et NU M/*
 - Prises ' ro' ortionne#ement %ans \>NE=5MA7 \>NE=N>8MA3

Allocations mémoire

- Les différents algorithmes d'allocation mémoire
 - Allocation mémoire dans le **buddy system**
 - Allocations mémoire dans les *task_struct* : **slab**
 - Allocations mémoire dans le *main* : **malloc**

X''%%y system

- Permet %\$a##o''er %es 4ones
 - 5e tai##e a#iOnée s''r ''ne ' ''issance %e 2
 - 1 ' a0e7 2 ' a0es7 U ' a0es7 V ' a0es 512 et 102U ' a0es
 - 3a ' remière ' a0e reto''rnée a ''ne a%resse ' 2ysi&''e a#iOnée s''r #a m; me ' ''issance %e 2
- Str''ct''re %e %onnées9
 - 11 t; tes %e #iste c2a^nées corres' on%ant a''x 11 tai##es Y%eman%a/#esY

X''%%y9 Allocation

- Si #a #iste %e #a tai##e %eman%ée)2ⁿ ran0 n* n\$est ' as vi%e7 on renvoie ' remier é#ément %e cette #iste
- Si #a #iste %e ran0 n est vi%e
 - >n re0ar%e #a #iste %e ran0 s'' ' érie" r)nQ1*
 - Si ' as vi%e
 - >n ' ren% #e ' remier é#ément7 et on #e casse en 2 é#éments %e #a tai##e in.érie" re
 - >n ran0e #é#ément restant #i/re %ans #a #iste %e ran0 in.érie" r7 et on renvoie #a" tre
 - Si vi%e7 on ' asse a" ran0 nQ2
 - Si ran0 10 et vi%e7 erre" r

X''%%y9 3i/ération

- >n #i/ère "n é#ément 3 %e ran0 N
- Si #a #iste %e ran0 N contient "n é#ément E te#
&" e E et 3 sont a%lacentes)/"%%y*9
 - Gin %e 3 A 5é/"t %e E
 - o"
 - 5é/"t %e E A Gin %e 3
 - >n com/ine ces 2 é#éments en "n é#ément %e ran0
NQ1
- Et on recommence

<ac2es %e Pa0es / <P-

- A' ' e#er #a##ocate" r /"%%y ' o" r to" tes #es re&" ; tes serait tro' .ré&" ent AB ine..icace
- 3e Noya" maintient)' ar <P- * " n cac2e %e ' a0es7 en .ait 2
 - Pa0es Y2otY)i# y a "ne c2ance &" e #e cac2e mémoire contienne %es #i0nes %e cette ' a0e*
 - Pa0es Yco#%Y ' ar exem' #e ' o" r #es accès 5MA)ne ' asse ' as ' ar #e cac2e*
- Si nivea" %e cac2e tro' 2a"t
 - 8eto" r %es ' a0es en excès vers #e /"%%y
- Si nivea" %e cac2e tro' /as
 - 3e re0arnir %e' "is #e /"%%y

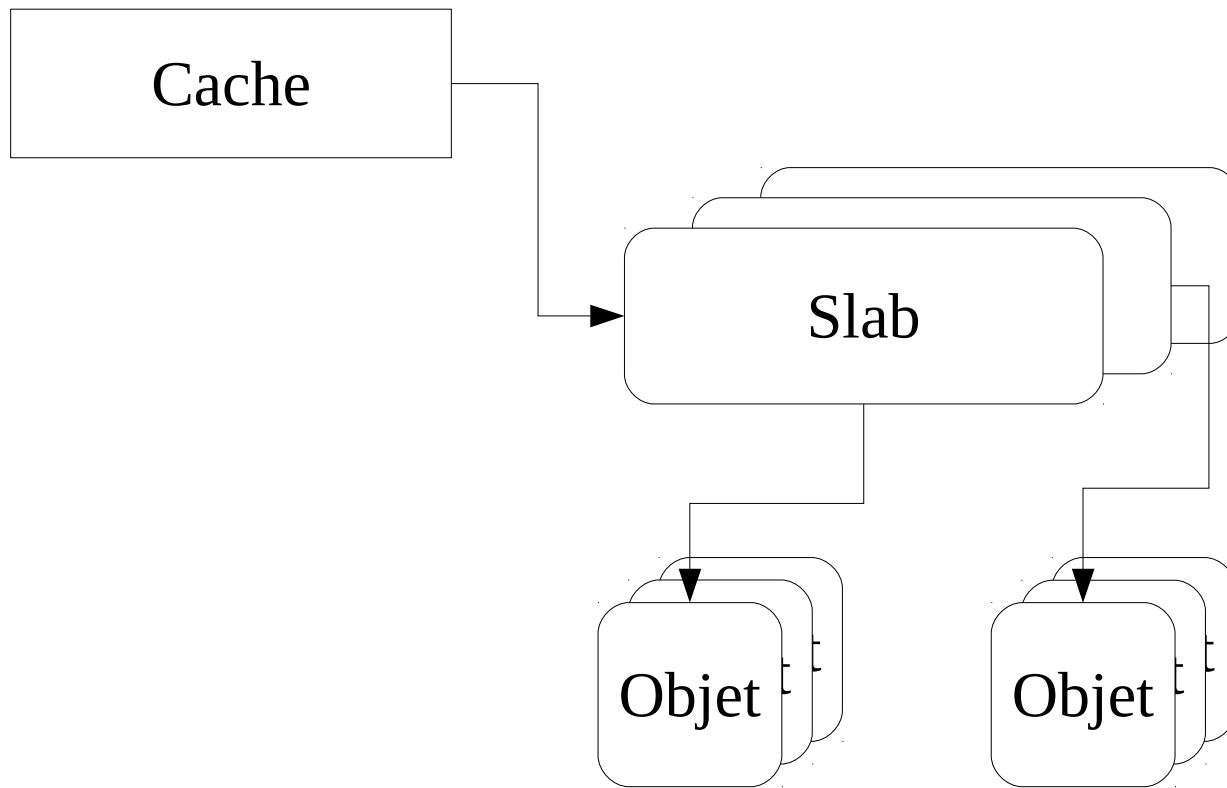
A#ocate" r YS#a/Y)' avé7 %a##e*

- A#ocation %e ' a0es n\$est ' as ' rès e..icace ' o" r a##o" er %ynami&" ement %es o/1ets).ic2iers7 ' rocess" s7 *
- Si..érents ty' es %\$o/1ets a##o" és/#i/érés %e manière ré' étée
- _viter #a .ra0mentation %e #a mémoire)c. ma##oc en es' ace "ti#isate" r*
- Ne ' as a#i0ner systémati&" ement #es o/1ets s" r %es .rontières %e ' a0e AB mei##e" re "ti#isation %es cac2es matérie#s

A#ocate" r YS#a/Y

- 5érivé %e So#aris 2 U7
- <2or"s avait "n mécanisme simi#aire
- :ntro%" it #a notion %e Ycac2e %\$o/1etsY
 - \one o` to"s #es o/1ets sont %e m; me ty' e9
' rocess"s7 %escri' te"rs %e .ic2iers7
- En .ait "n cac2e est s" /%ivisé en Ys#a/sY
 - –n Ys#a/Y est constit" é %e ' a0es ' 2ysi&" es
conti0" as7 to"s #es s#a/s ont #a m; me tai##e
 - <2a&" e Ys#a/Y contient %es o/1ets %" ty' e ' ré%é.ini

Allocateur Slab



5 escri' te" r %e cac2e

kmem_cache_t

```
+ arra"      // cac2e #oca# ' ar <P- %$o/1ets #i/res
+ ob+size    //tai##e %$o/1et
+ gfpflags   // in%icate"rs a##ocation /"%%y system
+ lists      // Oestion %es s#a/s )c. ' a0e s"ivante*
+ ctor, dtor // initia#isation7 %estr"ction %$o/1et
+ color      // n/ %e co"#e"rs %es s#a/s
+ etc
```

Accès à x s#a/s

kmem_list,

struct list_head slabs_partial

-- liste des slabs ni plein ni vide

struct list_head slabs_full

-- liste des slabs pleins

struct list_head slabs_free

-- liste des slabs totalement vides

struct arra"_cache *shared

-- cache par tag# par tous les)\$(

5escri' te"r S#a/

```
struct list_head list
```

```
-- cha*nage des slabs (partiel, vides, pleins)
```

```
unsigned long colouroff
```

```
-- offset premier ob+et, variation cache
```

```
void * s_mem
```

```
-- adresse premier ob+et
```

```
unsigned int inuse
```

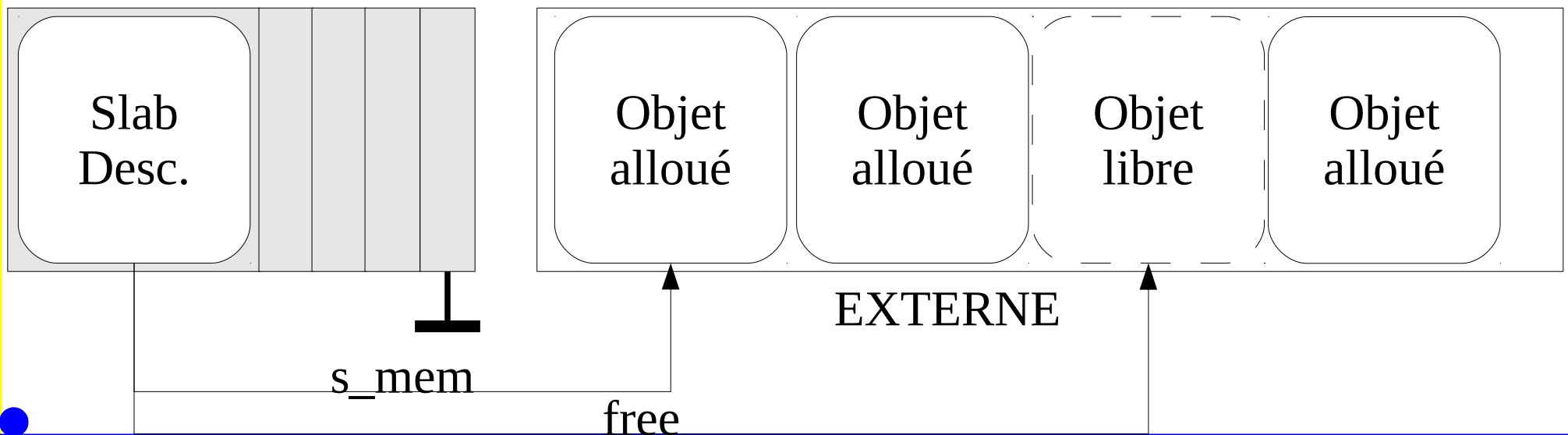
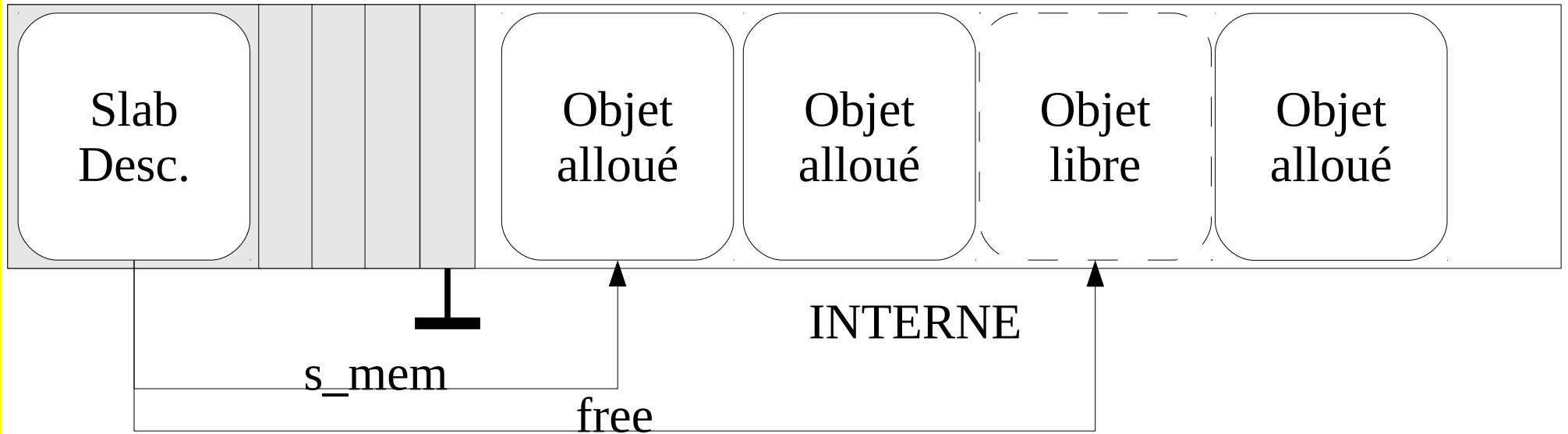
```
unsigned int free
```

- 3es %escri' te"rs ' e"vent ; tre internes o"
externes

S'écia#isation %es cac2es

- <ac2es 0énéra" x
 - **cac2e=cac2e**9 Po" r 0érer #es %escri' te" rs %es)a" tres* cac2es6
 - \ones mémoires non ty' ées7 mais %e #on0" e" rs ' ré%é.inies9 327 NU7 12V
 - S' écia#isées entre accessi/#es via 5MA o" non

Stack et Piles



Allocation / Libération d'objets

```
void * kmem_cache_alloc (  
    kmem_cache_t *cachep,  
    int flags)
```

```
void kmem_cache_free(  
    kmem_cache_t *cachep,  
    void *objp)
```

5escri' te" r Mémoire

- <2a&" e ' rocess"s)"ti#isate" r* a "n %escri' te" r
mémoire)mm_ s t r u c t * accessi/#e %e' "is son
%escri' te" r %e ' rocess"s)task_ s t r u c t *7 ' arta0é ' ar
#es %i..érentes t2rea%s
- <ontient9
 - ' 0%9 ' ointe" r 0#o/a# %irectory)ta/#e %e ' a0es*
 - 5i..érentes a%resses ' rocess"s9 co%e7 %onnées7 tas7 ' i#e7
ar0s7 env7
 - 3iste %es %escri' te" rs %e ré0ions %" ' rocess"s
 - Statisti&" es7

5escri' te" r Mémoire

- <2a&" e ' rocess"s)"ti#isate" r* a "n %escri' te" r
mémoire)mm_s t r u c t * accessi/#e %e' "is son
%escri' te" r %e ' rocess"s)task_s t r u c t *7 ' arta0é ' ar
#es %i..érentes t2rea%s
- <ontient9
 - ' 0%9 ' ointe" r 0#o/a# %irectory)ta/#e %e ' a0es*
 - 5i..érentes a%resses ' rocess"s9 co%e7 %onnées7 tas7 ' i#e7
ar0s7 env7
 - 3iste %es %escri' te" rs %e ré0ions %" ' rocess"s
 - Statisti&" es7

5escri' te" r %e ré0ion

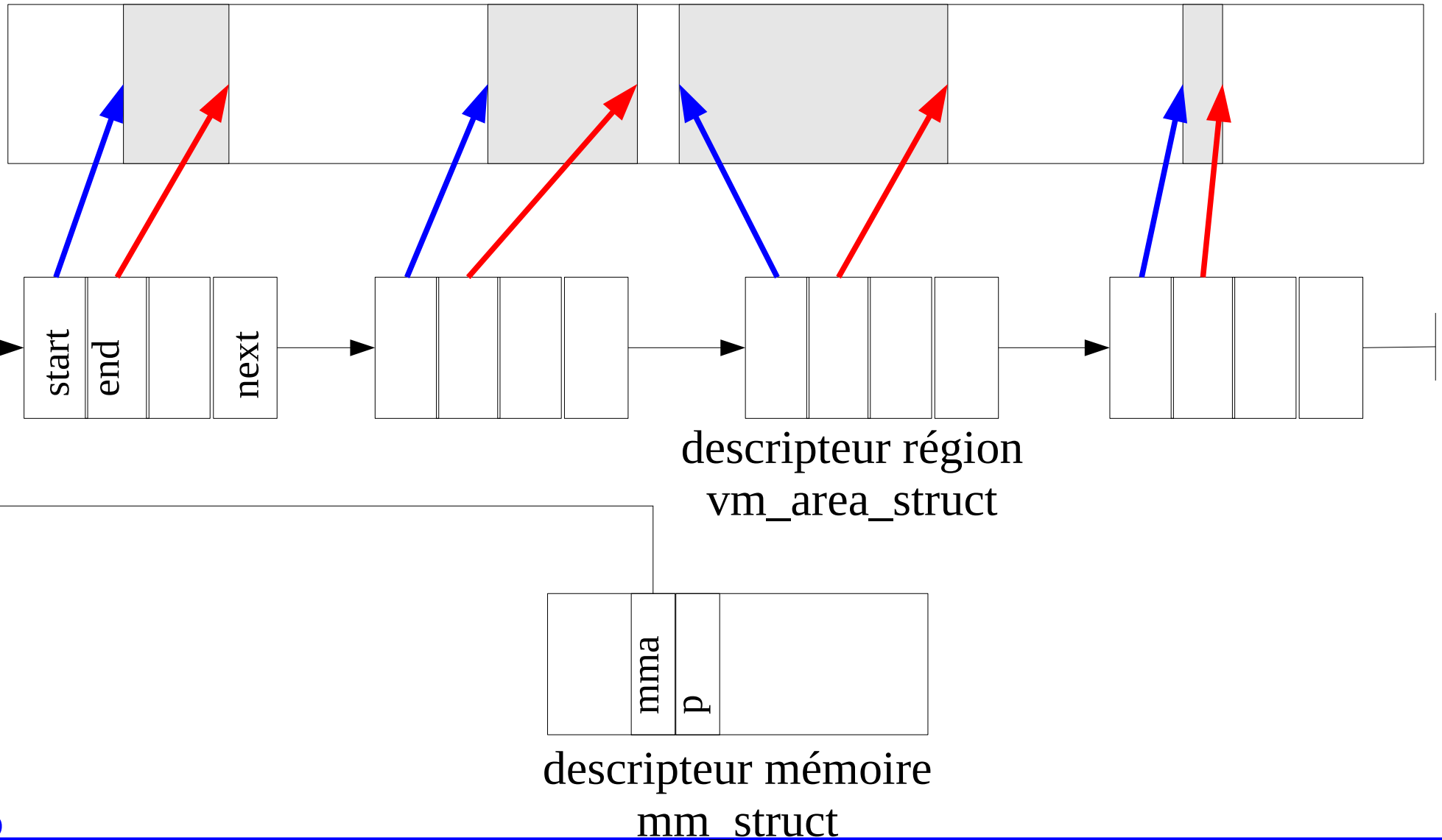
```
struct vm_area_struct {
    vm_start -- adresse de d#but
    vm_end    -- adresse de fin / 0
    vm_next   -- prochaine r#gion
    vm_page_prot -- protection
    vm_rb      -- gestion arbre rouge1noir
    . . .
}
```

2

- Gérées %ans "ne #iste sim' #ement c2a^née)next* et a"ssi %ans "n ar/re ro"0e+noir

Gestion Mémoire

Espace adressage du processus



Eraitement %es exce' tions

3\$a%resse .a" tive est+e##e %ans #ses' ace %\$a%ressa0e
%" ' rocess"s(

- >"i
- Est+ce "n ' ro/#ème %e ' rotection(
 - >"i AB Envoyer "n si0na#)S:GSEGI *
 - Non AB Accès va#i%e7 a##o"er "ne ' a0e ' 2ysi&"e
- Non
- Accès %e' "is mo%e "ti#isate"r(
 - >"i AB Envoyer "n si0na#)S:GSEGI *
 - Non AB X"0 noya" 9+)

M2 2015



I MLare et #a mémoire

- Pour Opérer efficacement #a mémoire? I mLaare
 - "ti#ise ' #'sie"rs tec2ni&"esC9
 - Erans' arent Pa0e S2arin0
 - Xa##oonin0
 - <om' ressession
 - SLa'

I MLare EPS

- Sans c2a&" e I M to"rne "n >S
 - So"vent i%enti&" e %\$"ne I M , #a"tre
 - Pas %e so"rce comm"ne comme #es ino%es ' o"r #es ' rocess"s
 - Nom/re"ses ' a0es i%enti&" es)' #eines %e 4éros*
- :%enti.icationc9
 - <2ecJs"m ' "is com' araison /ytes//ytes
 - - ti#isation %e <>D
 - :n2i/é s"r #es 3ar0e Pa0es)2MX*

I MLare Xa#oonin0

- Sans c2a&" e I M o` #es o" ti#s I mLare sont insta##ésC9
 - >n insta##e "n %river KC/a##onCM
 - ! "i ca" se avec #\$2y' ervise" r , #\$ins" %e #\$>S
 - Gon.#eC9 5eman%e %e #a mémoire , #\$>S
 - Po" r #a re%onner so"s #e mantea" , #\$2y' ervise" r
 - 5é0on.#eC9 réc"" ère ce &"\$i# a ' r; té et #e ren% , #\$>S
- Permet %e trans.érer tem' orairement #a mémoire %\$"ne I M ' e" active , "ne I M %ans #e /esoin

I MLare <om' ressession

- P#" tbt &" e KcsLa' ' erCM
 - <om' resser "ne ' a0e
 - Si tai##e com' ressée @ C ' a0e AB >]
 - P#"s ra' i%e &"\$ "ne entrée/sortie %is&" e
- Eec2ni&" e ' as s' éci.i&" e , I mLaare
 - A:F AME ' ar exem' #e

I MLare SLa'

- Dernier niveau " " o" r .aire .ace , #a %eman%e mémoireC9
 - - ti#iser #e sLa' /o"t 7 sLa' /in
 - 5e #a mémoire KC' 2ysi&" eCM %es I M
- 3\$>S %ans #a I M ' e"t #"i m; me "ti#iser %" sLa'
- A éviter en 0énéra#7 sinon #es ' er.ormances se %é0ra%ent très série" sement